

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-073766

(43)Date of publication of application : 04.04.1987

(51)Int.Cl.

H01L 29/06
H01L 29/52
H01L 29/78

(21)Application number : 60-212515

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.1985

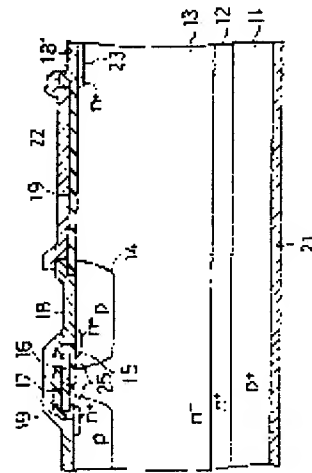
(72)Inventor : WATANABE KIMINORI
NAKAGAWA AKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a high voltage withstanding semiconductor device in which an OFF time is shortened without increasing an ON resistance in a p-n-p-n element having self turning OFF function of a planar structure by making it withstand the high voltage by a resistive field plate.

CONSTITUTION: An amorphous Si film is accumulated as a high resistor film on a substrate 11, and patterned to form a resistive field plate 22 which is superposed at one end on a source electrode 18 and superposed at the other end on an electrode 18'. Thus, the plate 22 is formed outside an effective element region. In this manner, integrating heat treating time of all the steps is shortened to be 1/2 or less than the heat treating time of the step using a conventional guard ring layer, the profiles of the substrate 11, an n⁺ type layer 12 and an n⁻ type layer 13 hardly vary, and the total impurity amount of the layer 12 can be readily controlled. Thus, since holes implanted to the layer 13 can be accurately controlled, an element which has low ON voltage at high voltage withstand and a short OFF time can be attained.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-73766

⑮ Int. Cl.⁴

H 01 L 29/06
29/52
29/78

識別記号

庁内整理番号

8526-5F

④ 公開 昭和62年(1987)4月4日

8422-5F 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭60-212515

⑰ 出 願 昭60(1985)9月27日

⑱ 発 明 者 渡 辺 君 則 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑱ 発 明 者 中 川 明 夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 高濃度第1導電型半導体層上に高濃度第2導電型半導体層を介して第2導電型高抵抗層を有するウェーハの、前記第2導電型高抵抗層表面に選択的に形成された第1導電型拡散層を有し、かつこの拡散層表面に選択的に形成された第2導電型拡散層を有する自己ターンオフ機能を持つプレーナ型の半導体装置において、有効素子領域の外側のウェーハ表面に絶縁膜を介して、一端が前記第1導電型拡散層の電位に設定され他端が前記第2導電型高抵抗層の電位に設定された高抵抗体膜が配設されていることを特徴とする半導体装置。

(2) 前記高濃度第2導電型半導体層の総不純物量は $5 \times 10^{13} / \text{cm}^2 \sim 8 \times 10^{14} / \text{cm}^2$ である特許請求の範囲第1項記載の半導体装置。

(3) 前記高抵抗体膜はアモルファスSi膜である特許請求の範囲第1項記載の半導体装置。

(4) 前記第2導電型高抵抗層の前記第1導電型拡散層の外側所定距離に高濃度第2導電型拡散層が形成され、この拡散層および前記第1導電型拡散層表面に金属電極が形成された後、両者の金属電極に各端部が重なるように前記高抵抗体膜を構成するアモルファスSi膜が配設されている特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔発明の技術的分野〕

本発明は、pnpn構造を有し、自己ターンオフ機能を有するプレーナ型の半導体装置に関する。

〔発明の技術的背景とその問題点〕

導電変調型MOSFETは、通常パワーMOSFETのドレイン領域をソース領域とは逆の導電型にしたものである。従来の導電変調型MOSFETの構造を第4図に示す。11はp⁺ドレイン層、12はn⁺型層、13はn⁻型高抵抗層であり、この高抵抗層13の表面にp型ベース拡散層14が形成され、更にこのp型ベース拡散層14内にn⁺型ソース拡散層15が形成されている。

そして、ソース拡散層15と表面に露出している高抵抗層13に挟まれたp型ベース層14部分をチャンネル領域25としてその上にゲート絶縁膜16を介してゲート電極17を配設し、また、ソース拡散層15とベース拡散層14の双方にコンタクトするソース電極18を形成している。有効素子領域の外側には高耐圧化のために、数本のp+型ガードリング層20を形成している。ドレイン層11の表面にはドレイン電極21が形成されている。

この導電変調型MOSFETは、ゲート電極17にソース電極18に対して正の電圧を印加するとチャンネル領域25に反転層が形成され、ソース拡散層15からの電子がこのチャンネル領域25を通して、n-型高抵抗層13に注入される。注入された電子は高抵抗層13を拡散してドレイン電極21へ抜けるが、このときドレイン層11から正孔の注入を引起す。この正孔の注入より、高抵抗層13にはキャリアの蓄積による導電変調が起こり、この高抵抗層13の抵抗が低下する。

へ注入する正孔を正確に制御できなくなると共に、n-型高抵抗層13の厚みが変動し、素子の耐圧が劣化してしまう。

〔発明の目的〕

本発明は上記した点に鑑みなされたもので、プレーナ構造を有する自己ターンオフ機能を持つpnpn素子であって、オン抵抗を高めることなくオフ時間を短くした高耐圧の半導体装置を提供することを目的とする。

〔発明の概要〕

本発明は、高濃度第1導電型半導体層上に高濃度第2導電型半導体層を介して第2導電型高抵抗層を有するウェーハを用い、DSA法により第1導電型拡散層とその表面に第2導電型拡散層が形成された自己ターンオフ機能を持つプレーナ型の半導体装置において、有効素子領域の外側の前記第2導電型高抵抗層表面に絶縁膜を介して、一端が前記第1導電型拡散層の電位に設定され他端が第2導電型高抵抗層の電位に設定された高抵抗体膜（所謂抵抗性フィールドプレート）を配設したこ

ところ、ゲート・ソース間電圧を零にすると、n-型高抵抗層13内の電子は急激に減少するが、正孔は残留してしまい、素子のオフ時間が長くなってしまふ。そこで、p+ドレイン層11とn-型高抵抗層13の間にn+型層12を介在させ、このn+型層12の総不純物量を制御することにより、正孔のn-型高抵抗層13への注入を制御している。即ち、このn+型層12を設けることにより、オフ時間を短くすることができる。

ところで、導電変調型MOSFETのようなプレーナ型素子において、耐圧を向上させる方法としては、第4図に示したようにガードリングを形成する方法が一般に知られているが、充分な高耐圧を実現するには、ガードリング層を十分に深く拡散しなければならない。そのためには、高温熱処理を十分長く行なうことが必要である。高温熱処理が長くなればp+ドレイン層11、n+型層12、及びn-型高抵抗層13の各拡散層が変動し、これによりn+型層12の総不純物量が変動し、p+ドレイン層11からn-型高抵抗層13

とを特徴とする。

〔発明の効果〕

本発明によれば、高温で長時間の熱処理を必要とするガードリング層を用いず、抵抗性フィールドプレートにより高耐圧化を図っているため、不純物の再拡散を防止して、特に高濃度第2導電型半導体層の不純物総量を正確に最適設計することができる。これにより、オン抵抗を高めることなくオフ時間を短くして、かつ高耐圧化を図った自己ターンオフ素子を実現することができる。

〔発明の実施例〕

第1図は一実施例の導電変調型MOSFETである。第4図と対応する部分にはそれらと同じ符号を付してある。これを製造工程に従って説明する。P+Si基板11を用意しこれに $5 \times 10^{16} / \text{cm}^3$ 以上の濃度のn+型層12をエピタキシャル成長させ、この上に不純物濃度 $2 \times 10^{14} / \text{cm}^3$ の高抵抗n-型層13をエピタキシャル成長させる。次にこのn-型層13の表面を酸化してゲート酸化膜16を形成し、その上に

5000 Å のポリSi膜によるゲート電極17を形成し、このゲート電極17をマスクとしてp型ペー層14を形成し、更にソース層形成のためドーザ量 $5 \times 10^{15} / \text{cm}^2$ のAsイオン注入を行ない、熱処理してn⁺ソース層15を形成する。このソース層15の形成と同時に素子領域の外側所定距離にn⁺型層23を形成する。この後CVDにより全面に酸化膜19を形成し、これにコンタクトホールを開けてAl膜の蒸着、パターニングにより、ソース電極18を形成する。このソース電極18と同時にn⁺型層23に対しても電極18'を形成する。次に基板裏面にV-Ni-Au膜の蒸着によりドレイン電極21を形成する。最後に基板表面に高抵抗体膜としてアモルファスSi膜を堆積し、パターニングしてソース電極18に一端が重なり他端が電極18'に重なる抵抗性フィールドプレート22を形成する。金属電極形成後に高抵抗体膜を形成する工程は、従来の工程に簡便に組み込め工程数も増さない簡単な方法である。アモルファスSiを用いる理由は、

長くなってしまう。また、総不純物量Qが $8 \times 10^{14} / \text{cm}^2$ 以上になると、電子電流が多くなりオフ時間t_{off}は短くなるが、オン電圧が5V以上になり、オン電圧が高くなりすぎてしまう。第3図の結果よりn⁺型層12の総不純物量を $5 \times 10^{13} / \text{cm}^2$ 以上 $8 \times 10^{14} / \text{cm}^2$ 以下に正確に制御することが必要である。そして本実施例ではこの制御が可能である。

また、n⁺型層12を形成することにより素子に逆電圧を印加した時に、空乏層がp⁺ドレイン層11に達してしまうパンチスルーを防ぐことができ、更に、空乏層がn⁺型層12で止まるためn⁻型高抵抗層13の厚みを薄くすることができ、その分この高抵抗層13の抵抗を下げるができる。これにより、通常のパワーMOSFETより低いオン抵抗を持ったオフ時間が短い高耐圧のMOSFETが得られることになる。

第2図は別の実施例の導電変調型MOSFETの断面図を示す。この実施例ではCVD酸化膜19を形成後、高抵抗体膜によるフィールドプレ

金属電極形成後に簡単に低温で形成でき、また形成後に熱処理を必要としないからである。

こうして本実施例によれば、有効素子領域の外側に抵抗性フィールドプレート22を形成することにより、全工程の熱処理積算時間は短時間でよく、従来のガードリング層を用いた工程の熱処理時間に比べ1/2以下になり、P⁺Si基板11、n⁺型層12とn⁻型層13のプロファイルが変動しにくくなり、n⁺型層12の総不純物量を制御し易くなる。これにより、n⁻型層13へ注入される正孔を正確に制御できるため、高耐圧でオン電圧が低く、更にオフ時間が短い素子が実現できる。

第3図はn⁺型層12の総不純物量に対するオフ時間とオン電圧の関係を示したものである。ここに、Qはn⁺型層12の総不純物量、t_{off}はオフ時間、V_Fはオン電圧である。第3図において、総不純物量Qが $5 \times 10^{13} / \text{cm}^2$ 以下では正孔注入が高くなりオン電圧V_Fは低いが、オフ時間t_{off}が10 μsec以上となり、オフ時間が

ート22を形成し、更にその上にCVD酸化膜24を形成し、これにコンタクトホールを開けて、Al膜の蒸着、パターニングにより、電極18、18'を形成している。即ち第1図の実施例とは電極18、18'とフィールドプレート22の形成工程を逆にしている。

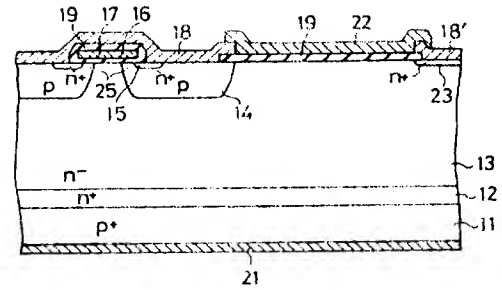
この実施例でも、先の実施例と同様熱処理時間は短時間でよく、これより、各基板層の不純物プロファイルが変動しにくくなり、n⁺型層12の総不純物量が制御し易くなり、n⁻型層13へ注入される正孔を正確に制御できるため、高耐圧でオン電圧が低く、オフ時間が短い素子が実現できる。

なお、実施例は導電変調型MOSFETを説明したが、高濃度第1導電型層と第2導電型高抵抗層の間に第2導電型低抵抗層を有する構造を持つ他のpnpn自己ターンオフ素子、例えばゲートターンオフサイリスタやSIサイリスタなどに対しても本発明を適用することができる。

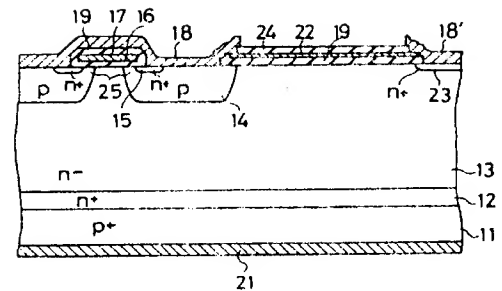
4. 図面の簡単な説明

第1図は本発明の一実施例の導電変調型MOSFETの断面図、第2図は他の実施例の導電変調型MOSFETの断面図、第3図は本発明の効果を説明するためのデータを示す図、第4図は従来の一般的な導電変調型MOSFETを示す断面図である。

11…P⁺型ドレイン層、12…n⁺型層、
13…n⁻型高低抗層、14…P型ベース拡散層、
15…n⁺型ソース拡散層、16…ゲート絶縁膜、
17…ゲート電極、18…ソース電極、18'…
電極、19…絶縁膜、21…ドレイン電極、22
…抵抗性フィールドプレート（アモルファスSi
膜）、23…n⁺型拡散層、24…CVD絶縁膜、
25…チャネル領域。

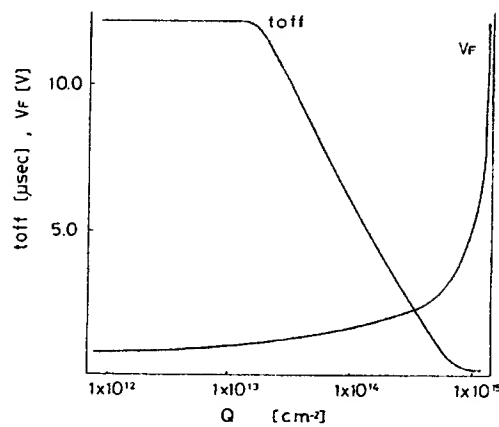


第1図

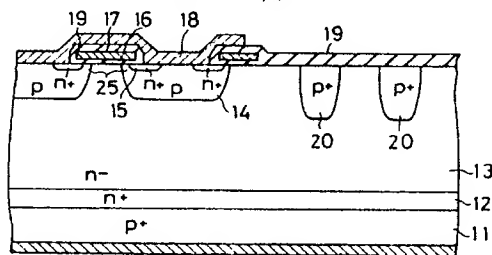


第2図

出願人代理人 弁理士 鈴江武彦



第3図



第4図